|  |  |  |
| --- | --- | --- |
| NOMBRE DEL ALUMNO: Santos Méndez Ulises Jesús | **INSTITUTO POLITÉCNICO NACIONAL** | **ESCUELA SUPERIOR DE CÓMPUTO** |
| PERIODO PARCIAL: 1 | **TITULO DE LA TAREA: Bloques principales de un archivo VHDL** | **FECHA DE ENTREGA: 10/02/2022** |
| GRUPO: 3CM12 | ARQUITECTURA DE COMPUTADORAS | PERIODO ESCOLAR 2022-2 |

**Bloques principales de un archivo VHDL**

La estructura general de un programa en VHDL está formada por módulos o unidades de diseño, cada uno de ellos compuesto por un conjunto de declaraciones e instrucciones que definen, describen, estructuran, analizan y evalúan el comportamiento de un sistema digital.

Existen cinco tipos de unidades de diseño en VHDL: declaración de entidad (entity), arquitectura (architecture), configuración, declaración del paquete y cuerpo del paquete.

En el desarrollo de programas en VHDL pueden utilizarse o no tres de los cinco módulos, pero dos de ellos (entidad y arquitectura) son indispensables en la estructuración de un programa (Véase fig.1).

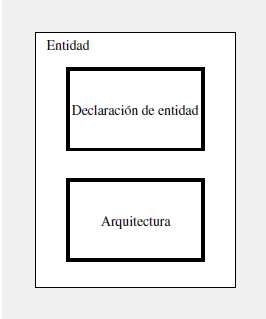


Fig.1: Estructura general de una entidad de diseño de VHDL.

Las declaraciones de entidad, paquete y configuración se consideran unidades de diseño primarias, mientras que la arquitectura y el cuerpo del paquete son unidades de diseño secundarias porque dependen de una entidad primaria que se debe analizar antes que ellas.

**Tipos STD\_LOGIC**

El tipo STD\_LOGIC se añadió al estándar de VHDL en el IEEE 1164. Para utilizarlo se incluyen las siguientes instrucciones:

Library ieee;

Use ieee.std\_logic\_1164.all;

Esto proporciona acceso al paquete std\_logic\_1164, el cual define el tipo STD\_LOGIC.

**Declaración ENTITY**

Las señales de entrada y salida de una entidad se especifican usando la declaración ENTITY. El nombre de la entidad puede ser cualquiera que sea legal en VHDL. Las señales de entrada y salida se especifican por medio de la palabra reservada PORT (Véase Fig.2). Cada puerto, sin importar si es una señal de entrada, salida o bidireccional, se indica por su modo (Véase tabla 1).

|  |  |
| --- | --- |
| Modo | Propósito |
| IN | Señal de entrada a una entidad |
| OUT | Señal que es una salida desde una entidad |
| INOUT | Señal que es una entrada y salida desde la entidad |
| BUFFER | Señal que es una salida desde una entidad. El valor de la señal puede usarse dentro de la entidad, lo cual significa que, es una instrucción de asignación. |

Tabla 1. Modos posibles para señales del puerto de entrada.

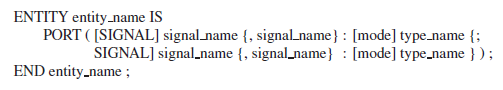


Fig.2: Estructura en código de la entidad en VHDL.

**Arquitectura (ARCHITECTURE)**

Una arquitectura provee los detalles del circuito para una entidad. La estructura general de una arquitectura consta de dos partes principales: la región declarativa y el cuerpo de arquitectura. La región declarativa precede a la palabra reservada BEGIN. Puede utilizarse para declarar señales, constantes y tipos definidos por el usuario (Véase Fig.3).

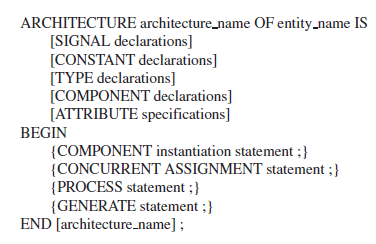


Fig.3: Estructura en código de la arquitectura en VHDL.

Referencias en formato APA

Stephen Brown, Z. V. (2000). *Fundamentos de lógica digital con diseño VHDL* (2a ed.). McGraw-Hill. <https://www.academia.edu/4867365/Fundamentos_de_logica_digital_con_diseno_VHDL_Brown_2ed_HD>

David Maxinez, J. A. (2002). *VHDL: El arte de programar sistemas digitales* (1a ed.). CECSA. https://ladecadence.net/trastero/VHDL%20Maxinez.pdf